

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168181

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/06

(21)Application number : 10-267875

(71)Applicant : ST MICROELECTRON SRL

(22)Date of filing : 22.09.1998

(72)Inventor : RAVANELLI ENRICO M A

(30)Priority

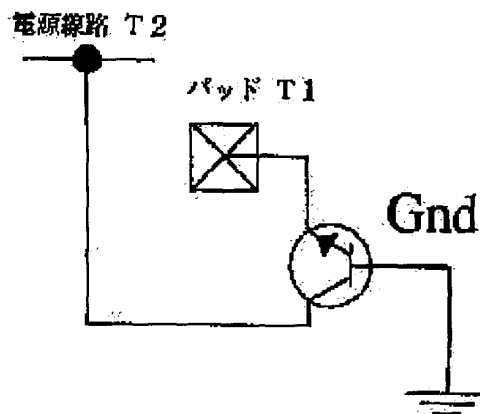
Priority number : 97 97830463 Priority date : 23.09.1997 Priority country : EP

(54) PROTECTION CIRCUIT FOR STATIC DISCHARGE, TRANSISTOR HAVING CIRCUIT THEREOF, AND SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a protection circuit having a structure wherein latch-ups and interferences due to electromagnetic waves will not be generated.

SOLUTION: This device has been improved for protecting integrated circuits. An NPN-type bipolar transistor Q1, which is normally connected between a terminal (pad) T1 to be protected and a power supply line T2 that is normally the power supply path for the integrated circuit, is provided. The emitter of the transistor is connected to the terminal T1, the collector is connected to the power supply path T2, and the base is connected to a ground GND, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168181

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

27/06

3 1 1 A

27/06

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平10-267875

(22) 出願日 平成10年(1998) 9月22日

(31) 優先権主張番号 9 7 8 3 0 4 6 3 . 2

(32) 優先日 1997年 9月23日

(33) 優先権主張国 ヨーロッパ特許庁 (E P)

(71) 出願人 598122898

エスティマイクロエレクトロニクス・ソチ
エタ・ア・レスボンサビタ・リミタータ
STMicroelectronics
S. r. l.

イタリア国、20041 アグラテ・ブリア
ンツァ、ヴィア・チ・オリヴェッティ 2

(72) 発明者 エンリコ・エンメ・ア・ラヴァネッリ

イタリア国、20052 モンツァ、ヴィア・
ステルヴィオ 5

(74) 代理人 弁理士 曾我 道照 (外 6 名)

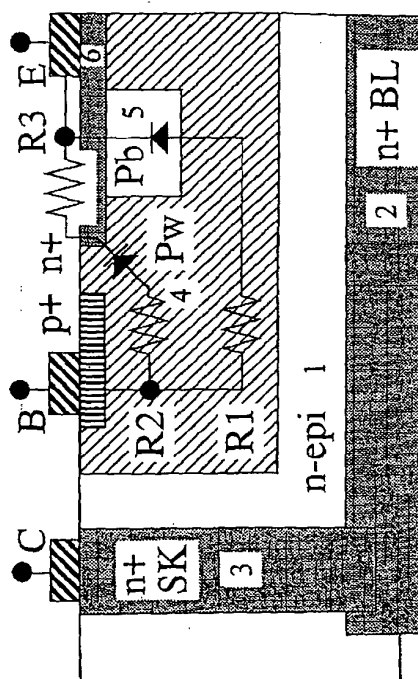
最終頁に続く

(54) 【発明の名称】 静電放電の保護回路、これを備えるトランジスタおよび半導体素子

(57) 【要約】

【課題】 静電放電が発生すると、寄生ウェルから基板電流が流れて寄生NPNトランジスタが励磁され、ラッチアップを引き起こし、また、寄生ウェルのキャパシタンスは、アンテナ効果をもたらすと共に、スイッチング形式の妨害をもたらすことがある。

【解決手段】 集積回路を保護するために改良されたデバイスであって、保護される端子T1と、通常は集積回路に対する電源線路である電源線路T2との間に接続されたNPN型のバイポーラトランジスタQ1を備える。トランジスタのエミッタは端子T1に、コレクタは電源線路T2に、ベースはグランドGNDにそれぞれ接続されている。



【特許請求の範囲】

【請求項1】 入力端子および出力端子をそれぞれ少なくとも1つ備える集積回路上に一体的に集積される静電放電の保護回路であって、該保護回路は、第1の端子、第2の端子および制御端子を有する少なくとも1つのトランジスタ(Q1)を備えており、

上記トランジスタは、上記第1の端子と上記第2の端子とを通じて、上記入力端子および上記出力端子のうちの1つと上記集積回路の電力電源線路との間にそれぞれ接続されると共に、上記集積回路のグラウンドに接続された制御端子を備えることを特徴とする静電放電の保護回路。

【請求項2】 上記トランジスタはNPN型のトランジスタであり、上記第1の端子、上記第2の端子および上記制御端子は、それぞれ、該トランジスタのエミッタ端子、コレクタ端子およびベース端子であることを特徴とする請求項1に記載の静電放電の保護回路。

【請求項3】 第1伝導型(n)の半導体材料からなる基板(1)内に形成され、集積回路の端子を静電放電から保護するためのトランジスタ構造であって、

上記基板の表面から内部に向かって広がるように形成された、第1伝導型とは逆の第2伝導型(p)の第1領域(4)と上記第1領域の表面から内部に向かって広がるように形成された第1伝導型(n⁺)の第2領域(6)と、

上記基板より導電率の高い第1伝導型(n⁺)の第3層(2)と、

上記第1層(4)の下に埋め込まれ、上記基板より導電率の高い第1伝導型(n⁺)を有し、上記基板(1)の上記表面から上記第3層(2)に亘って広がるように形成され、上記第1領域(4)から完全に分離された少なくとも1つの第4層(3)と、

を備えてなり、

上記第2領域(6)の周囲部分を除いた部分の下方にバイポーラ接合を形成するように、第2領域(6)から広がってリング状となるように形成された上記第1領域(4)より導電率の高い第2伝導型(p⁺)の第5層(5)をさらに備えることを特徴とするトランジスタ構造。

【請求項4】 ベースパッド(B)が、上記第2領域(6)によって覆われていない上記第1領域(4)内の部分に形成され、エミッタパッド(E)が、上記第2領域(6)内に形成され、コレクタパッド(C)が、上記第4領域(3)内に形成されたトランジスタ構造であって、上記エミッタパッド(E)は、上記第2領域(6)のうち、上記第5領域(5)のリング形状の内側に含まれる第1領域(4)の部分上にある区域内に位置する部分に、形成されることを特徴とする請求項3に記載のトランジスタ構造。

【請求項5】 上記トランジスタは、上記請求項4に記

載のトランジスタ構造を有することを特徴とする請求項1または請求項2に記載の静電放電の保護回路。

【請求項6】 少なくとも1つの端子が、請求項1または請求項5に記載の静電放電の保護回路によって、静電放電から保護されている少なくとも1つの集積回路を備えることを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、静電放電から集積回路を保護する装置(デバイス)に関するものであり、特に、組み合わせられた技術によって集積化され、低電圧で駆動される回路のためのコンパクトな保護装置(デバイス)に関するものである。

【0002】

【従来の技術】集積回路中のコンタクトパッドは、製造工程中やホスト回路に組み込まれる際や動作中に、不注意で電荷を帯びた物体と接触するおそれがあることが分かっている。従って、集積回路の異なる領域または部分の間において電位の差が形成されるおそれがあり、例えば、デバイス中に形成されたMOS型電解効果トランジスタのゲートの酸化層がダメージを受けたり、破壊されるのに十分な大きさの電位差が形成されることがある。

【0003】そのため、静電的な要因による電位差がゲート絶縁層の絶縁耐圧を超えると、MOSトランジスタは、絶縁層を通じた静電放電により、使いものにならなくなる。例えば、CMOS技術による集積化された最小のゲートサイズが1.2μmである回路において、このような破壊的な影響は、12Vレンジの電圧で既に発生し、さらに低い電圧で発生する場合もある。さらにまた、雪崩逆伝導現象(avalanche reverse conduction phenomena)が発生する場合もあり、この場合は、接合が破壊される。

【0004】集積回路の入出力端子を静電放電から保護するための様々な方法が知られている。これらの中には、静電放電による電流を制限するために、抵抗器を直列に接続して、または、ダイオードを直列あるいは並列に接続して、IC回路自体の基板中に集積し、入力端子を保護しているものもある。他の形態として、回路をより複雑化したものでは、サイリスタまたはSCR(Silicon Controlled Rectifier)が用いられ、トリガ電圧を低下させるように幾らか変更することにより、入出力端子の両方を保護するために適用することができる。

【0005】図1は、BiCMOS型、すなわち、組み合わせられた技術によって集積された回路のための入力保護回路を示す図である。トランジスタQ1、Q2の組み合わせは、集積回路の入力端子INとグラウンドGNDとの間のツェナーダイオードの等価構造を構成する。この形式のESDプロテクション(静電放電保護: ElectroStatic Discharge Protection)およびその動作は、例えば、A.R. Alvarez, Cypress Semiconductor Corp.による

3

文献“BiCMOS Technology and Applications”の第2版に記載されている。これは、高度にコンパクト化された保護デバイスであって、BiCMOS技術によって難なく集積化できるものであり、また、外部の物体と接触する可能性のある集積回路の各端子に保護デバイスが備えられるような場合に特に有効的である。

【0006】例えば、特にBiCMOS等のように、組み合わされた工程によって単結晶シリコン基板の上にエピタキシャル層を成長させて、集積化されるデバイスにおいて、ESDプロテクションデバイスは、当業者であ

ればすぐに分かることであるが、保護デバイスのエピタキシャルウェル(epitaxial well)が保護されるべき端子に直接的に接続されると、回路の通常の動作を邪魔する

場合がある。

【0007】

【発明が解決しようとする課題】この場合、これらのウェルは、静電放電が発生している間に、基板電流を供給する寄生コレクタ(parasitic collector)として機能する場合があり(この場合、グランドループにより寄生NPNトランジスタが励磁され)、ラッチアップ(latch-up)を引き起こす結果となる。即ち、これは、SRC形式の寄生バイポーラ構造によって引き起こされる破壊的な結果を伴う再生現象である。

【0008】さらに、寄生ウェルのキャパシタンスは、アンテナとして作用して、ESD保護回路を装着したパッドに接続された回路の機能を切り替えるスイッチングの形式に障害を生じることがある。

【0009】この発明の目的は、組み合わされた工程によって作製されるエピタキシャル層から構成されるデバイス用の、静電放電に対する保護トランジスタ構造を提供することであり、ラッチアップや電磁波による干渉を生じることのない構造を備える保護回路を提供することである。

【0010】

【課題を解決するための手段】上述の技術的な課題は、発明の詳細な説明および添付の特許請求の範囲によって定義されるESD保護回路によって解決される。

【0011】

【発明の実施の形態】この発明に係るESD保護回路の特徴および優位点は、以下の発明の詳細な説明に図面と共に記す、非限定的な実施の形態によって明らかにされる。

実施の形態1。図2は、この発明に係る回路を示す図であり、エピタキシャル層を備える集積回路の入力端子および出力端子にESDプロテクションを提供することにより、ラッチアップと電磁波による干渉が生じることのない回路を示す図である。

【0012】NPN型のバイポーラトランジスタQ1は、保護される端子(Pad)T1と、電源線路(Supply Rail)T2との間に配設されており、概して、この電源線路

4

T2は、集積回路の主電源線路である。トランジスタのエミッタは、端子T1に接続されており、コレクタは電源線路T2に、また、ベースはグランドGNDにそれぞれ接続されている。

【0013】この保護回路は、その実際の構造により、寄生的な妨害によって、パッドに接続された回路の機能が切り替えられるような影響を受けることはない。特に、トランジスタのコレクタ、即ちプロテクタ自体のエピタキシャルウェルが、直接的に電源に接続されることによって、外部のいかなる妨害発生源からも覆い隠されている。このようにして、パッドに向かって到来するすべての外乱(妨害)は、電源の方向にそらされることになる。さらに、このような接続により、ラッチアップの問題が発生しなくなっている。

【0014】この発明に係る構造は、静電放電によってブレイクダウン(breakdown)が発生しても、トランジスタのエミッターベース接合が劣化(デグレード)しないように、構成されなければならない。図3は、この発明に係る保護構造の断面を示す図であり、組み合わされた技術により集積された回路を示す図である。なお、図3は、この発明の好適な一実施の形態を示すものであり、本発明はこのような構造に限定されるものではない。

【0015】このような構造は、p型の不純物が注入された基板(図示せず)からなる単結晶シリコンのダイ(die)の上に形成されるものであり、このダイの上に、n型の不純物が注入されて、厚さが8~10 μ mで抵抗率が1.5 Ω cmのエピタキシャル層1が重ねられている。通常の技術によってエピタキシャル層1を成長させる間に、残りの層よりも多くの不純物が注入される(n⁺型の)埋め込み層2が形成される。埋め込み層2は、n⁺型のシンカー(sinker)層3によって表面と接続される。

【0016】エピタキシャル層1内に形成される埋め込み層2の上には、2つの領域から構成されるp型の表面領域4、5が形成される。(p-well)領域4は、注入率8 $\times 10^{12}$ cm⁻²から1.2 $\times 10^{13}$ cm⁻²でボロンを注入することによって、深さが約3.5 μ mとなるように形成される。領域5は、p型のウェル(p-well)である領域4内に、ボロンを注入することにより、注入率が1 $\times 10^{13}$ cm⁻²から3 $\times 10^{13}$ cm⁻²で、深さが1.25 μ mに形成される。ダイの表面からp-ボディ領域の内部にかけて延びるn型領域6は、約1 $\times 10^{15}$ cm⁻²の注入率で砒素を注入することにより接合深さ約1 μ mで形成される。

【0017】電気的接続をとるための適当な手段B、C、Eは、p⁺型およびn⁺型の拡散領域の部分と、例えばアルミニウムや注入型の多結晶シリコン(pads)等の導電材料からなる電路の部分とからそれぞれ構成されており、それぞれ領域4、3、6に、オーミック接合を有するように、かつ、同一の極性で接続されている。従っ

10

20

30

40

50

て、図2に示す保護回路の構造は、実際に簡単な方法によって作製することができる。

【0018】トランジスタQ1は、保護される端子T1と、グラウンドGNDと、電源線路T2との間に接続されており、NPN型の連続的な領域6、5、4および2を備える。n⁺領域6はエミッタであり、p-ボディ領域5およびp-ウェル領域6はベースであり、埋め込み層2を備えるエピタキシャル層1は、コレクタである。図3に示す断面図は、この発明に係る保護構造の全体のうち意味のある部分だけを示しており、これはベースとしてp-ウェル層が埋め込まれた通常のトランジスタから導き出されたものである。

【0019】図を簡単にするために省略されたその他の部分は、エミッタパッドに対して左右対称である。この発明に係るESD保護構造は、まず第1に、拡散ベース4内に完全に封じ込まれたリング状の拡散領域であるp-ボディ5によって特徴づけられる。n⁺型の拡散エミッタ6は、全体としてリング状のp-ボディ5より広い領域を有しており、完全にp-ボディの上に重なるように配設されている。エミッタパッドは、リング形状のp-ボディ5の内側に位置するn⁺型の拡散エミッタ6の領域内に形成されているので、p-ボディ5によって覆われていない。

【0020】拡散層であるp-ボディを、完全にn+エミッタ領域の下に配設することにより、エミッターベース接合における雪崩伝導の発生する可能性のある領域として形成された平坦な埋め込み接合領域を備えるというこの発明の利点が得られる。従って、この発明は、静電放電に対する耐圧を強化することができ、雪崩伝導が発生するn⁺エミッタ領域およびp-ウェルとの間の平面および側面における構造が破壊される限界点を引き上げ

ている。

【0021】この発明によれば、拡散領域であるp-ウェルに対してベースパッドの反対側にエミッタパッドを配設しているので、エミッタ領域とp-ウェルとの間において静電放電が発生する可能性は、さらに低減されている。図4は、図3に示すトランジスタのエミッターベース接合の等価回路を示す図である。図4において、エミッタ領域とp-ウェルとの接合を貫く電流路が抵抗器R3によって妨害されていることが分かる。上述したこの発明の代表的な実施の形態は、当然に当業者によって変更あるいは代替されるものである。

【図面の簡単な説明】

【図1】 従来の保護デバイスを示す回路図である。

【図2】 この発明のESD保護回路を示す回路図である。

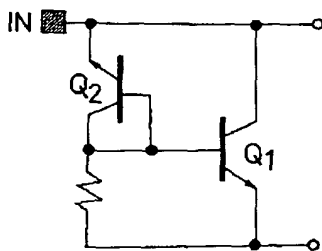
【図3】 この発明のESD保護回路の要部を示す断面図である。

【図4】 この発明に含まれるNPNトランジスタのエミッターベース接合の等価回路を示す図である。

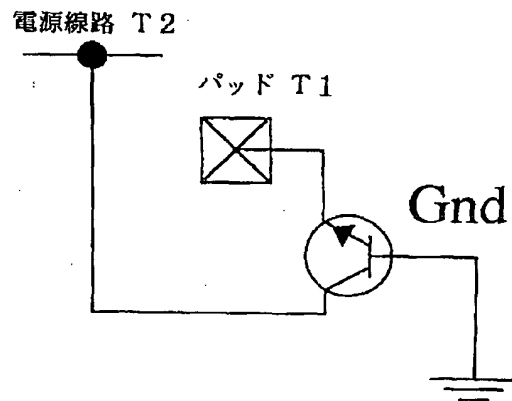
【符号の説明】

- 1 エピタキシャル層
- 2 埋め込み層
- 3 シンカー層
- 4 拡散ベース
- 5 p-ボディ
- 6 拡散エミッタ
- Q1 バイポーラトランジスタ
- R3 抵抗器
- T1 端子
- T2 電源線路

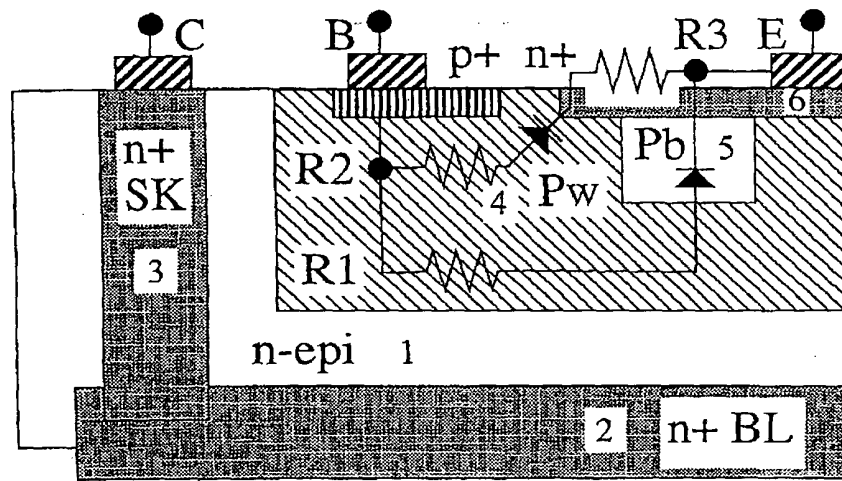
【図1】



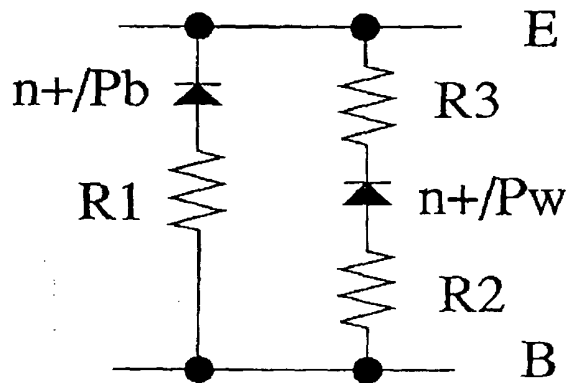
【図2】



【図3】



【図4】



フロントページの続き

(71)出願人 598122898

Via C. Olivetti, 2,
20041 Agrate Brianza,
Italy